

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3153730号
(P3153730)

(45) 発行日 平成13年4月9日 (2001.4.9)

(24) 登録日 平成13年1月26日 (2001.1.26)

(51) Int.Cl.⁷

識別記号

F I

G 1 1 C 16/02
16/06

G 1 1 C 17/00

6 4 1

6 3 4 G

請求項の数 8 (全 9 頁)

(21) 出願番号 特願平7-116676

(22) 出願日 平成7年5月16日 (1995.5.16)

(65) 公開番号 特開平8-315586

(43) 公開日 平成8年11月29日 (1996.11.29)

審査請求日 平成11年10月1日 (1999.10.1)

(73) 特許権者 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 寧夫

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝 研究開発センター内

(74) 代理人 100083161

弁理士 外川 英明

審査官 高橋 宜博

(56) 参考文献 特開 平7-201189 (J P, A)

特開 平7-161852 (J P, A)

特開 平3-237692 (J P, A)

特開 平7-93979 (J P, A)

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

1

(57) 【特許請求の範囲】

【請求項1】 それぞれ第1のデータと第2のデータを保持する第1のフリップフロップ回路と第2のフリップフロップと、これらフリップフロップ回路に接続されたビット線とメモリセルを有する不揮発性半導体装置において、

下位ビットの読み出し及びデータロードを第1のフリップフロップで行い、上位ビットの読み出し及びデータロードを第2のフリップフロップで行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセルは、情報を2ビット以上保持する多値記憶であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 読み出し時、上位ビットのセンス、下位ビットのセンスの順に行なうことを特徴とする請求項1

2

記載の不揮発性半導体記憶装置。

【請求項4】 下位ビットの読み出し時、上位ビットのデータに応じて下位ビットセンス用ラッチデータの値を変化させる手段を有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 書き込み時、上位ビット、下位ビットの順にデータを書き込むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項6】 浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることにより4値データを記憶するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続された第1の記憶回路と、

前記ビット線に接続された第2の記憶回路と、

前記第1及び第2の記憶回路と接続されたデータ線とか

10

FS入済

3

ら構成され、
データ読みだし時には、
第1のステップにおいて、前記しきい値が前記第1及び前記第2の範囲か前記第3及び前記第4の範囲かの何れかに属するかを検出しその検出結果を前記第1の記憶回路に保持し、
第2のステップにおいて、もし前記第1のステップで前記しきい値が前記第1及び前記第2の範囲の何れかに存在することが検出されていたらさらにそのしきい値が前記第1の範囲か前記第2の範囲かの何れに属するかを検出しその検出結果を前記第2の記憶回路に保持し、もし第1のステップで前記しきい値が前記第3及び前記第4の範囲の何れかに存在することが検出されていたらさらにそのしきい値が前記第3の範囲か前記第4の範囲かの何れに属するかを検出しその検出結果を前記第2の記憶回路に保持することを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項6記載の不揮発性半導体記憶装置において、前記第2のステップに引き続く第3のステップで順次前記第1及び第2の記憶回路に保持されたデータを前記データ線を介して転送することを特徴とする不揮発性半導体記憶装置。

【請求項8】 浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることよりの4値データを記憶するメモリセルと、
前記メモリセルに接続されたビット線と、
前記ビット線に接続された第1の記憶回路と、
前記ビット線に接続された第2の記憶回路と、
前記第1及び第2の記憶回路と接続されたデータ線とから構成され、
データ読みだし時には、
第1のステップにおいて、
もし前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第1の記憶回路は前記しきい値を前記第1及び前記第2の範囲に設定し、
もし前記第1の記憶回路に保持されたデータが第2のレベルであれば前記第1の記憶回路は前記しきい値を前記第3及び前記第4の範囲に設定し、
第2のステップにおいて、
もし前記第1のステップで前記しきい値が前記第1の範囲に設定されており、前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第2の記憶回路は前記しきい値を前記第1の範囲に設定し、前記第1の記憶回路に保持されたデータが第2のレベルであれば前記第2の記憶回路は前記しきい値を前記第2の範囲に設定し、
もし前記第1のステップで前記しきい値が前記第3の範囲に設定されており、前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第2の記憶回路は前記しきい値を前記第3の範囲に設定し、前記第1の記

4

憶回路に保持されたデータが第2のレベルであれば前記第2の記憶回路は前記しきい値を前記第4の範囲に設定することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性半導体装置に関する。特に多値記憶の書き込み動作及び読み出し動作に用いるセンスアンプに関する。

【0002】

10 【従来の技術】不揮発性半導体記憶装置は電源を切ってもデータが消えない利点があるため、近年大幅に需要が増大している。電氣的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成することができる。この結果、メモリセルを小さくすることが可能となり、大容量の磁気ディスクの代替用途等が期待されている。

【0003】はじめに、従来の不揮発性半導体記憶装置であるNAND型フラッシュメモリについて、説明する。すなわち、図8(a)に示すように、浮遊ゲートを有するMOSトランジスタからなる不揮発性のメモリセルM1～M16が直列に接続され、一端が選択トランジスタQ1"を介してビット線BLに、多端が選択トランジスタQ2"を介して共通ソース線Sに接続されている。それぞれのトランジスタは同一のウェルW上に形成されている。各々のメモリセルM1～M16の制御電極はワード線WL1～WL16に接続されており、選択トランジスタQ1"の制御電極は選択線SL1に、選択トランジスタQ2"の制御電極は選択線SL2に接続されている。

30 【0004】各々のメモリセルM1～M16はそれが保持するデータに応じたしきい値を持ち、このしきい値は"0"データを保持しているときにはOV以上5V以下に、"1"データを保持しているときにはOV以下に設定されている(より適切には、ある程度のマージンをもたすためこれよりも小さな範囲に設定されている)。

【0005】これらメモリセルのしきい値の個数分布は図8(b)に示すとおりである。また、読み出し、消去及び書き込み動作時のメモリセルに印加する電圧を表にして示したのが図9である。

40 【0006】読み出し動作時には、ビット線BLを始めに5Vにプリチャージし、浮遊状態にしておき、これに引き続いて、選択線SL1に5V、選択メモリセルのワード線WLに0V、非選択メモリセルのワード線WLに5V、選択線SL2に5V、ウェルWに0V、共通ソース線Sに0Vを印加する。すると、選択メモリセル以外のすべてのトランジスタ(非選択メモリセルを含む)がオンする。選択メモリセル"0"が保持されているときにはこのメモリセルは非導通となりビット線の電位は5Vのままで変化しないが、"1"が保持されているときには導通となるためビット線は放電され電位が低下する。

50

5

データのセンスは読み出し時のビット線電位を検出することにより行う。

【0007】消去動作時には、ビット線BLは開放、選択線SL1に0V、メモリセルのワード線WLに0V、選択線SL2に0V、ウェルWに18V、共通ソース線Sに18Vを印加する。すると、浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、しきい値は0V以下になる。

【0008】書き込み動作時には、書き込みデータによって異なった電圧を印加する。すなわち、“0”書き込み（しきい値をシフトさせる場合）ではビット線BLに0Vを印加し、“1”書き込み（しきい値をシフトさせない場合）ではビット線BLに9Vを印加する。選択線SL1には11V、選択メモリセルのワード線WLには18V、非選択メモリセルのワード線WLには9V、選択線SL2には0V、ウェルWには0V、共通ソース線には0Vを印加する。この結果、選択トランジスタQ1からメモリセルM16までのすべてのトランジスタは導通し、ビット線と同電位となる（トランジスタのしきい値落ちは考慮しない）。したがって、ビット線BLに0Vが印加されたメモリセルはチャネルと制御電極との間に18Vの高電圧がかかり、トンネル電流が流れ、しきい値は正方向にシフトする。また、ビット線BLに9Vが印加されたメモリセルはチャネルと制御電極との間に9Vしかかからないため、しきい値の正方向のシフトは抑圧される。

【0009】図7は従来の不揮発性半導体記憶装置の要部を示す回路図であり、ビット線3本分を取り出して示したものである。図7によると1ビット線分の回路は次のように構成される。すなわち、書き込みデータを一時的に保持するフリップフロップ回路1（図では1-x；xは1～3）と、ビット線BL（図ではBLx；xは1～3）と、ビット線BLに接続されるNAND型メモリセル2と、ビット線BLを充電するPチャネルトランジスタQ3'と、ビット線BLとフリップフロップ回路1とを接続するトランジスタQ4'と、フリップフロップ回路1のビット線BLと反対側のノードと0Vの接地電位との間に直列に接続されたトランジスタQ7'、Q8'とからなる。このトランジスタQ7'、Q8'とで強制反転手段を構成している。トランジスタQ7'のゲートはビット線BLに接続されている。

【0010】すべてのトランジスタQ3'のゲートにはφ1信号線が接続され、このトランジスタQ3'は充電手段を構成している。また、すべてのトランジスタQ4'のゲートにはφ2信号線が、Q8'のゲートにはφ3信号線が接続される。クロック発生回路5ではφ1、φ2、φ3各信号線を所定のタイミングで駆動制御する。

【0011】トランジスタQ3'のソースは書き込み動作時9V、それ以外の時は5Vとなる電源に接続されて

6

いる。また、フリップフロップ回路の電源も書き込み動作時は9V、それ以外の時は5Vである。

【0012】以上、1セル・1ビット記憶方式の半導体記憶装置を説明した。しかし磁気ディスクとの1ビットあたりのコストには10倍近い差があり、1セル・1ビット記憶方式の半導体記憶装置でディスクを構成した場合まだまだ高価であることは否めない。そのため微細化を押し進める方法もあるが、そのための技術開発に時間を要する。

10 【0013】

【発明が解決しようとする課題】以上説明したように、1個のメモリセルに1ビットを記憶した場合、依然として磁気ディスクとのコスト差は大きい。コスト差を縮めるためには微細加工技術を採用すればいいが、莫大な設備投資、また新技術の開発が必要であるという問題があった。本発明はこのような欠点を除去し、微細加工技術も特に新しい製造技術を用いることなく低コストの不揮発性半導体記憶装置を提供することを目的とする。

【0014】

20 【課題を解決するための手段】上記目的を達成するため、本発明では、一本のビット線に2個のフリップフロップ回路が接続できるようにし、読み出し時、多値記憶されたデータのLSBとMSBをそれぞれラッチし、また書き込み時LSBとMSBのロードされたデータをメモリセルに多値データとして書き込むこと手段とを具備することを特徴とする不揮発性半導体記憶装置を提供する。

30 【0015】より詳細には、それぞれ第1のデータと第2のデータを保持する第1のフリップフロップ回路と第2のフリップフロップと、これらフリップフロップ回路に接続されたビット線とメモリセルを有する不揮発性半導体装置において、下位ビットの読み出し及びデータロードを第1のフリップフロップで行い、上位ビットの読み出し及びデータロードを第2のフリップフロップで行うことを特徴とする不揮発性半導体記憶装置を提供する。ここで、メモリセルは、情報を2ビット以上保持する多値記憶であり、読み出し時、上位ビットのセンス、下位ビットのセンスの順に行ない、下位ビットの読み出し時、上位ビットのデータに応じて下位ビットセンス用ラッチデータの値を変化させる。また、書き込み時、上位ビット、下位ビットの順にデータを書き込む。

40 【0016】すなわち、本発明の不揮発性半導体記憶装置は、浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることにより4値データを記憶するメモリセルと、メモリセルに接続されたビット線と、ビット線に接続された第1の記憶回路と、ビット線に接続された第2の記憶回路と、第1及び第2の記憶回路と接続されたデータ線とから構成され、データ読みだし時には、第1のステップにおいて、しきい値が第1及び第2の範囲か第3及び第4の範囲かの何れかに属するかを検出しそ

50

の検出結果を第1の記憶回路に保持し、第2のステップにおいて、もし第1のステップでしきい値が第1及び第2の範囲の何れかに存在することが検出されていたらさらにそのしきい値が第1の範囲か第2の範囲かの何れに属するかを検出しその検出結果を第2の記憶回路に保持し、もし第1のステップでしきい値が第3及び第4の範囲の何れかに存在することが検出されていたらさらにそのしきい値が第3の範囲か第4の範囲かの何れに属するかを検出しその検出結果を第2の記憶回路に保持する。さらに、第2のステップに引き続く第3のステップで順次第1及び第2の記憶回路に保持されたデータを前記データ線を介して転送する。

【0017】 また、浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることよりの4値データを記憶するメモリセルと、前記メモリセルに接続されたビット線と、前記ビット線に接続された第1の記憶回路と、前記ビット線に接続された第2の記憶回路と、前記第1及び第2の記憶回路と接続されたデータ線とから構成され、データ読みだし時には、第1のステップにおいて、もし前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第1の記憶回路は前記しきい値を前記第1及び前記第2の範囲に設定し、もし前記第1の記憶回路に保持されたデータが第2のレベルであれば前記第1の記憶回路は前記しきい値を前記第3及び前記第4の範囲に設定し、第2のステップにおいて、もし前記第1のステップで前記しきい値が前記第1の範囲に設定されており、前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第2の記憶回路は前記しきい値を前記第1の範囲に設定し、前記第1の記憶回路に保持されたデータが第2のレベルであれば前記第2の記憶回路は前記しきい値を前記第2の範囲に設定し、もし前記第1のステップで前記しきい値が前記第3の範囲に設定されており、前記第1の記憶回路に保持されたデータが第1のレベルであれば、前記第2の記憶回路は前記しきい値を前記第3の範囲に設定し、前記第1の記憶回路に保持されたデータが第2のレベルであれば前記第2の記憶回路は前記しきい値を前記第4の範囲に設定することを特徴とする不揮発性半導体記憶装置を提供する。

【0018】

【作用】本発明によれば、センスアンプの数をビット線あたり2個設けるだけで1メモリセルに2ビットのデータを記憶させることができ特に新しい微細加工技術を用いることがなく、半導体記憶装置の製造コストを下げることができる。

【0019】また1/2カラムの選択方式をとれば、センスアンプの数をビット線あたり1個にすることができる。また読み出し時も書き込み時もMSB、LSBのデータをそのまま加工せず入力バッファや出力バッファから出し入れることが可能である。

【0020】

【実施例】本発明の実施例を以下、図面を参照して説明する。図6は本発明の第1の実施例に関わる不揮発性半導体記憶装置の全体回路構成を示す回路ブロック図である。第1の実施例はNAND型フラッシュメモリの例である。すなわち、不揮発性半導体記憶装置10はメモリセルアレイ11、ロウデコーダ12、センス回路及び書き込みデータラッチ13、カラムデコーダ14、カラムゲート15、昇圧回路16、制御回路17、I/Oバッファ18からなる。

【0021】メモリアレイ11は上述したような複数のNAND型メモリセルがマトリクス上に配設されており、縦方向にビット線BLが数千本、横方向にワード線WLが数千本配列されている。このワード線を外部から入力されたアドレスに基いて選択するのがロウデコーダ12である。センス回路及び書き込みデータラッチ13は一端ビット線に、他端はカラムゲート15を介してI/Oバッファ18に接続されている。カラムデコーダ14は外部から入力されたアドレスに基きカラムゲート15を制御しビット線および対応するセンス回路及び書き込みデータラッチ回路を選択する。昇圧回路16は書き込み動作や消去動作に必要な高電圧を供給する。制御回路17は書き込み、消去、読み出し動作等を制御する。また、I/Oバッファ18はチップ外部とのインターフェイスをとる。

【0022】図1は本発明の不揮発性半導体記憶装置の要部を示す回路図であり読み出し時、例えばビット線BLRを選択し、BLRを非選択にする場合を考えてみる。この時SEBRは“H”でQ7はオン、SEBLは“L”でQ17はオフの状態である。読み出しは以下に述べる3段階の方法で行う。(1)まずMSB(=Most Significant Bit=上位ビット)を読み出すセンスアンプMSENでMSBを読み出す。(2)次にMSB=1の場合のLSB(Least Significant Bit=下位ビット)を読み出すセンスアンプLSENで読み出す。

(3)最後に、MSB=0の場合のLSBをLSENで読み出す。以上によりセンス後MSBのデータがMSEN内にラッチされ、LSBのデータがLSEN内にラッチされる。以下図1と図2を使い、2値(4つの状態)の読み出し方法について述べる。

【0023】(1)MSBの読み出し

読み出し時に選択されたコントロールゲートの電位をVREF2(例えば1.0V)にする。状態1と状態2の時のしきい値分布はともにVREF2よりも小さいためセル電流が流れ、ビット線BLR及びBLO、BLMOが0VになるためAMは0VになりMSB=1が読み出されラッチされる。一方状態3と状態4の時しきい値分布はともにVREF2よりも高いためセル電流は流れずビット線BLR、BLO、BLMOは“H”の状態(例えばVCC)になるため、トランジスタQ1がONしMSも“H”であるため、BMがVCCからVSSへ、AMがVSSからVCCになり、MSB=0が読み出されラッチされる。

【0024】(2) MSB=1の場合のLSB読み出し
LSB読み出し用センスアンプLSENも読み出す前
に、ノードBLにVCC、ノードAL=VSSへプリチャ
ージしておく。

【0025】(2-1) MSB=1、LSB=1 (状
態1)のセンス動作
コントロールゲートの電位をVREF1 (例えば0V) にす
る。状態1の時はしきい値分布はVREF1よりも低いた
めセル電流は流れ、ビット線BLR及びBLO、BLL
Oが0VになるためALは0VになりLSB=1が読み
出されラッチされる。

【0026】(2-2) MSB=1、LSB=0 (状
態2)のセンス動作
コントロールゲートの電位をVREF1 (例えば0V) にす
る。状態2の時はしきい値分布はVREF1よりも高いた
めセル電流は流れず、ビット線BLLL及びBLO、BLL
Oは“H”の状態 (例えばVCC) となるためトランジス
タQ11がONし、LS1も“H”であるためBLがVCC
からVSSへ放電し、ALがVSSからVCCになりLSB=0
が読み出されラッチされる。

【0027】(2-3) MSB=0、LSB=1 (状
態3)のセンス禁止動作
コントロールゲートの電位をVREF1 (例えば0V) にす
る。状態3の時はしきい値分布はVREF1よりも高いた
めセル電流が流れず、ビット線BLR及びBLO、BLL
Oが“H”の状態 (例えばVCC) となるためトランジスタ
Q11がONし、LS1も“H”であるためBLがVCCから
VSSへ放電しALがVSSからVCCに一時的にラッチさ
れる。しかしこのあと、C=“H” (VCC+Vth以上の
電位) でかつC=0Vを与えることによりAMの情報を
ALに伝える。つまり、AM=VCC (MSB=0) なら
ばQ32のトランジスタがONし、ALがVCCにラッチ
されていた状態が放電してVSSへ、BLがVSSからVCC
となり、読み出し前のプリチャージ状態にリセットさ
れる。

【0028】以上(2-1)、(2-2)でMSB=1
の時のLSBのセンスが行なわれる。

(2-4) MSB=0、LSB=0 (状態4)のセン
ス禁止動作

コントロールゲートの電位をVREF1 (例えば0V) にす
る。状態4の時はしきい値分布はVref1よりも高いた
めセル電流が流れず、ビット線BLR及びBLL0、BLL
Oが“H”の状態 (例えばVCC) となるためトランジスタ
Q11がONし、LS1も“H”であるためBLがVCCから
VSSへ放電しALがVSSからVCCに一時的にラッチさ
れる。しかしこのあとC=“H” (VCC+Vth以上の
電位) でかつC=0Vを与えることにより、AMの情報を
ALに伝える。つまりAM=VCC (MSB=0) なら
ばQ32のトランジスタがONしALがVCCにラッチされ
ていた状態が放電してVSSへ、BLがVSSからVCCとな

り、読み出し前のプリチャージ状態にリセットされる。

【0029】以上、(2-2) (状態3)、(2-4)
(状態4)の操作でMSB=0の場合はLSBのセンス
を禁止し、プリチャージ状態に戻す操作を行う。

(3) MSB=0の場合のLSB読み出し
この読み出しモードの際、CをVCCから0にしQ30をオ
フ、Cを0VからVCCにし、Q32のトランジスタをオ
フ状態にしておく。

【0030】(3-1) MSB=0、LSB=1 (状
態3)のセンス動作
コントロールゲートの電位をVREF3 (例えば2V) に
すると状態3のしきい値分布はVREF3よりも低いた
めセル電流が流れ、ビット線BLR及びBLO、BLL
Oが0VになるためALは0VになりLSB=1が読み出
されラッチされる。

【0031】(3-2) MSB=0、LSB=0 (状
態4)のセンス動作
コントロールゲートの電位をVREF3 (例えば2V) に
すると状態4の時のしきい値分布はVREF4よりも高
いためセル電流が流れずビット線BLR及びBLO、BLL
Oが“H” (例えばVCC) となるためトランジスタQ
11がONし、LS1も“H”であるためBLがVCCから
VSSへ放電し、ALがVSSからVCCになりLSB=0が
読み出されラッチされる。

【0032】(3-3) MSB=1、LSB=1 (状
態1)の時の非センス動作
コントロールゲート電位をVREF3 (例えば2V) にす
ると状態1の時のしきい値分布は、VREF4よりも低いた
めセル電流が流れ、ビット線電位BLR及びBLO、BLL
Oは0VになるためQ11のトランジスタがONせず
(2-1)のセンス後の状態を保つ。

【0033】(3-4) MSB=1、LSB=0 (状
態2)の時の非センス動作
上記(3-3)と同じ理由でQ11がONせず(2-2)
のセンス後の状態を保つ。

【0034】以上の(1)、(2)、(3)の3段階の
センス動作によりMSB用センスアンプMSENにはM
SBの情報が、LSB用センスアンプLSENにはLS
Bの情報がそれぞれラッチされる。

【0035】(4)消去と書き込み動作

(4-1)消去は従来と同じ方法で行う。一括消去後の
状態は状態1となる。この時MSB=1、LSB=1と
なる。

【0036】(4-2)書き込みは次に示す順序で行
う。書き込むべきデータは入力からロードし、MSBの
データはMSENにラッチし、LSBのデータはLSEN
にそれぞれラッチさせておく。

【0037】データの書き込みは次の3段階で行う。

(4-2-1) MSBのデータの書き込みおよびベリ
ファイ

11

MSENにラッチされたMSBのデータは、図1のトランジスタQ3、Q6、Q7をオンさせることによりBLRに転送される。BLRが“H”であれば選択されたセルへは“1”データ(D-type)となり、“L”であれば選択されたセルに電子が注入され“0”データ(E-type)となる。このMSB書き込み後の各状態のしきい値分布の様子は図3のようになる。

【0038】MSBのデータのペリファイは、(4-2-1)のMSB読み出しと同じ方法で行うことができる。ただしVREF2はペリファイ電位として、例えば0.2V

【0039】(4-2-2) 次にMSB=1の場合のLSB=0の書き込みを行う。この場合、MSB=0の状態(図3の状態3と状態4)へは書き込みを禁止するようにする。

【0040】LSENにはLSBのデータがロードされている。がこれと同じデータをMSENにそのまま転送する。従ってこの時、MSENとLSENにLSBのデータがラッチされている。転送(コピー)は図1でQ7とQ17をオフ状態にし、Q13、Q16、Q6、Q3をオン

【0041】次にQ6をオフしMSENを切り離す。Q7とQ16をオンさせ、BLRとLSNEを接続させ選択されたコントロールゲート電位には、接地電位(VSS=0V)を与えメモリセルから(1)で先程書いたMSBのデータを読み出す。MSBが0の場合、読み出し後のビット線電位は図11のようにVMとなりLSBのいかんにかかわらず書き込みを禁止する。

【0042】このデータを書き込むと、状態2だけ書き込まれる。ペリファイは、VREF1に例えば0.2Vを加えペリファイを行う。

(4-2-3) MSB=0の場合のLSB=1の書き込みを行う。

【0043】この場合、MSB=1(図3の状態1と状態2)へは書き込みを禁止するようにする。LSENを使いメモリセルから(4-2-1)で先程書いたMSBのデータを反転して読み出しラッチさせる。通常読み出し時に、LS1を“H”にしてQ12をオンさせていたがLS2を“H”にしてQ33をオンさせて反転読み出しを行う。MSBの反転読み出しデータはラッチされるが、このデータをMSENに転送(コピーする)MSENには、LSENからコピーされたLSBのデータがラッチされており、この状態のままMSBのデータ

12

を読み出すと読み出し後のAM(MSEN内)の電位は図12のようになり、書き出す時、状態1と2はビット線電位はVMとなり、書き込みは禁止される。

【0044】状態4のみ書き込まれ図5のようになる。ペリファイは、VREFに例えば2.2Vを与えて行う。以上、一回の消去と、3段階の書き込みと、ペリファイのくり返しにより選択されたメモリセルへ4値のデータ(2ビット)の書き込みが修了する。

【0045】

【発明の効果】以上説明してきたように本発明を用いると、回路規模を大幅に増すことなく、また微細加工技術を用いることなく容易に多値記憶セルの読み出し、書き込み、ペリファイをすることができ、この結果低コストな不揮発性半導体記憶装置が実現される。

【図面の簡単な説明】

【図1】本発明の実施例に関する不揮発性半導体記憶装置の要部を示す回路図である。

【図2】2ビット(4値)記憶のメモリセルのしきい値分布を示す図である。

【図3】MSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図4】MSB=1の時のLSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図5】MSB=0の時のLSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図6】本発明の全体回路構成を示す図である。

【図7】従来例の半導体記憶装置の要部を示す図である。

【図8】(a) NAND型フラッシュメモリのセル構造を示す回路図。

(b)は(a)のメモリセルのしきい値分布の個数分布を示す分布図である。

【図9】図8のメモリセルにおける読み出し、消去、及び書き込み動作時にメモリセルに印加する電圧を表に示した図である。

【図10】消去、書き込み動作を示す図である。

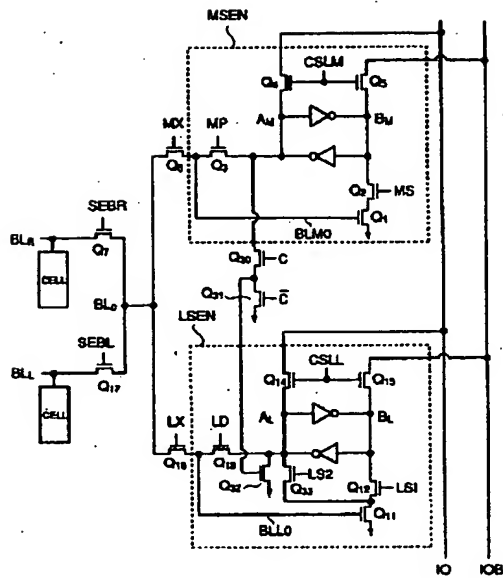
【図11】本発明の動作を説明する図表である。

【図12】本発明の動作を説明する図表である。

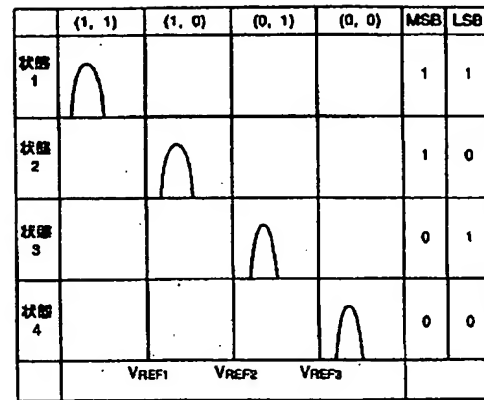
【符号の説明】

Q MOSTランジスタ
CELL メモリセル
IO、IOB データ線
BL ビット線

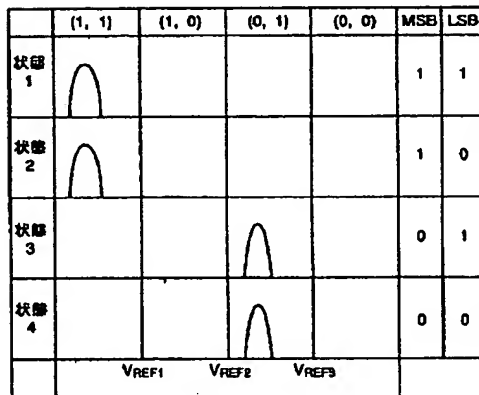
【図 1】



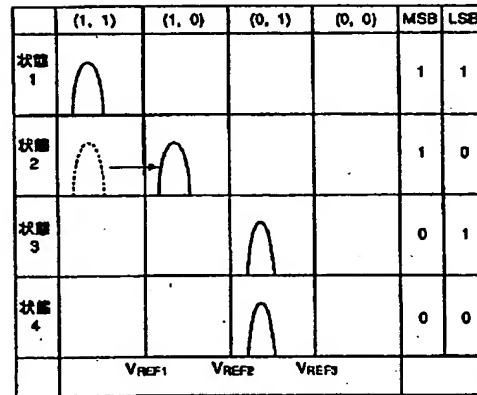
【図 2】



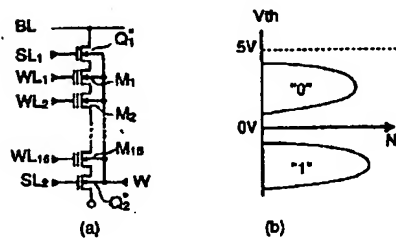
【図 3】



【図 4】



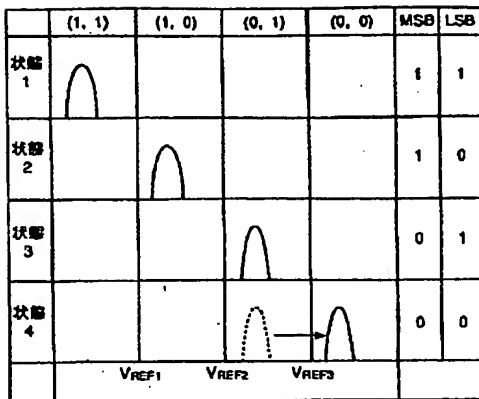
【図 8】



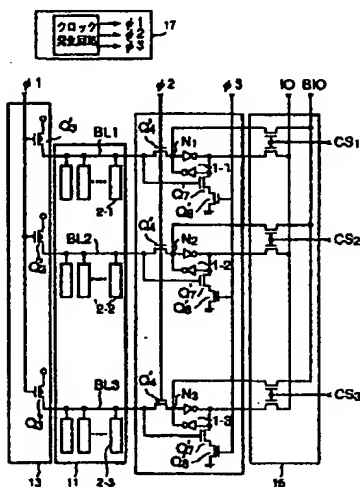
【図 9】

	読み出し	消去	書き込み
BL	5V7V11V	OPEN	"0"書き込み0V "1"書き込み9V
SL1	5V	0V	11V
WL	選択 0V 非選択 5V	0V	選択 18V 非選択 8V
SL2	5V	0V	0V
W	0V	18V	0V
S	0V	18V	0V

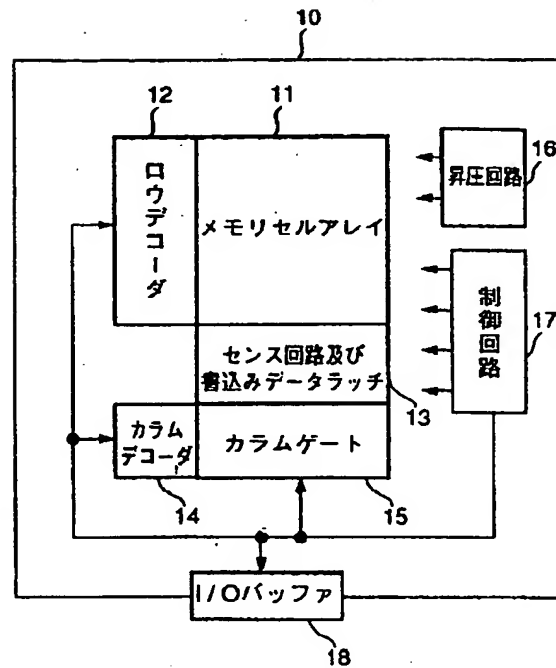
【図 5】



【図 7】



【図 6】



【図 11】

	MSB	LSB	読み出し後の LSENのA _L	書き込み時の ビット線電位
状態1	1	1	V _{CC}	V _M
状態2	1	0	0V	0V
状態3	0	1	V _{CC}	V _M
状態4	0	0	V _{CC}	V _M

書き込み禁止

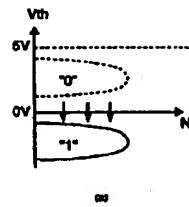
【図 12】

	MSB	LSB	読み出し後の MSENのA _M	書き込み時の ビット線電位
状態1	0	1	V _{CC}	V _M
状態2	0	0	V _{CC}	V _M
状態3	1	1	V _{CC}	V _M
状態4	1	0	0V	0V

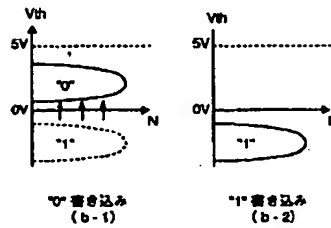
書き込み禁止

【図10】

(消去)



(書き込み)



フロントページの続き

(58) 調査した分野 (Int. Cl. ⁷, DB名)

G11C 16/00 - 16/34

G11C 17/18